

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-289810

(P2002-289810A)

(43) 公開日 平成14年10月4日 (2002. 10. 4)

(51) Int.Cl.⁷

識別記号

F I

テマート(参考)

H 0 1 L 27/105

H 0 1 L 27/10

4 4 4 B 5 F 0 3 3

21/768

21/90

D 5 F 0 8 3

27/108

27/10

6 2 1 C

21/8242

6 5 1

審査請求 未請求 請求項の数 8 O L (全 12 頁)

(21) 出願番号

特願2001-92533(P2001-92533)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(22) 出願日

平成13年3月28日 (2001. 3. 28)

(72) 発明者 今井 馨太郎

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(72) 発明者 山川 晃司

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

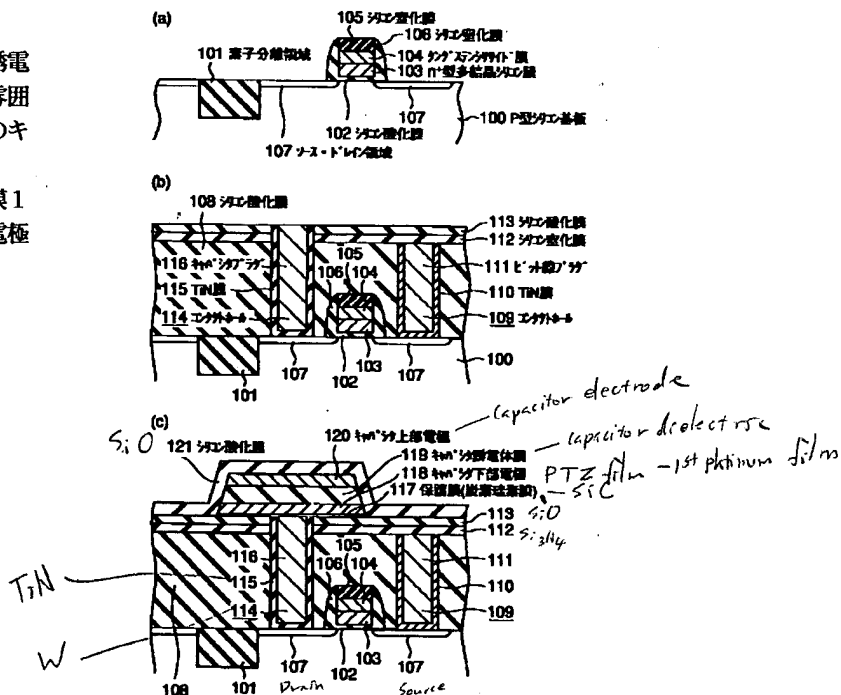
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 COP構造のFeRAMセルを構成する強誘電体膜の結晶化やダメージ回復を目的とする、酸化性雰囲気中下での熱処理工程において、上記強誘電体膜下のキャパシタプラグの酸化を防止すること。

【解決手段】 キャパシタプラグ116の上面を保護膜117である炭化珪素膜で覆った後、キャパシタ下部電極118、キャパシタ誘電体膜119を形成する。



【特許請求の範囲】

【請求項1】半導体基板上に形成された導電性のプラグと、

前記プラグの上面を覆う炭化珪素膜と、

前記炭化珪素膜を介して前記プラグと電気的に接続する電極とを具備してなることを特徴とする半導体装置。

【請求項2】半導体基板上に形成された導電性のプラグと、

前記プラグの上面を覆う炭化珪素膜と、

前記炭化珪素膜を介して前記プラグと電気的に接続する電極と、

前記電極上に形成され、強誘電体材料または高誘電体材料を主成分とする誘電体膜とを具備してなることを特徴とする半導体装置。

【請求項3】前記プラグは、前記半導体基板の表面に形成されたトランジスタの活性領域に電気的に接続したものであることを特徴とする請求項1または2に記載の半導体装置。

【請求項4】前記電極および前記誘電体膜はキャパシタを構成するものであり、かつ前記電極は前記誘電体膜の下に形成されたものであることを特徴とする請求項3に記載の半導体装置。

【請求項5】前記キャパシタは、キャパシタ誘電体膜の主成分として強誘電体材料を使用した、不揮発性メモリ機能を有するものであることを特徴とする請求項4に記載の半導体装置。

【請求項6】前記キャパシタは、キャパシタ誘電体膜の主成分として高誘電体材料を使用した、DRAMのメモリセルのものであることを特徴とする請求項5に記載の半導体装置。

【請求項7】前記炭化珪素膜の膜厚は、100nm以下であることを特徴とする請求項1ないし6のいずれか1項に記載の半導体装置。

【請求項8】半導体基板上に導電性のプラグを形成する工程と、

前記プラグの上面を覆う炭化珪素膜を形成する工程と、

前記炭化珪素膜上に前記プラグと電気的に接続する電極を形成する工程と、

前記電極上に強誘電体または高誘電体を主成分とする誘電体膜を形成する工程と、

酸化性雰囲気中で前記誘電体膜を熱処理する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に係わり、特に強誘電体または誘電体薄膜キャパシタ電極とその下に形成されたプラグとで構成された接続構造（プラグ／電極構造）に特徴がある半導体装置およびその製造方法に関する。

【0002】

【従来の技術】近年、デジタル電子機器が扱う情報が、画像情報、動画情報などに広がりその情報量が大幅に拡大している。これに伴い使用されるメモリにも従来にも増して多量の容量が要求されている。

【0003】半導体メモリの高集積化のためには、微細化とそれに伴う高集積化が必要である。例えば代表的なメモリデバイスであるDRAM (Dynamic Random Access Memory) においては、集積化がこれまで3年で4倍のスピードで進められてきており、近年においてはギガビットの容量のものが開発されるに至っている。

【0004】DRAMにおいては、一対のキャパシタとトランジスタとからなるメモリセルを1または0の情報記憶する一ユニットとしている。DRAMの高集積化のためには、メモリセルを構成するキャパシタの微細化が必須である。

【0005】このためには、(1)キャパシタ誘電体膜の厚さを薄くする、(2)立体化を進めキャパシタ面積を増加させる、(3)材料そのものに高誘電率のものを使用する、といった3方式が代表的にあげられそれぞれ検討、開発が進められてきている。

【0006】特に(3)に対しては、これまでキャパシタ材料に用いられてきたシリコン酸化膜から、五酸化タantal (Ta₂O₅)、さらにはチタン酸バリウム・ストロンチウム ((Ba, Sr)TiO₃) といった高誘電体材料の導入が検討され、それらの薄膜の適用による高容量キャパシタの開発が進められてきている。これらの材料は、従来の酸化シリコンと比較して、誘電率が10-100倍程度高い特徴をもつ。

【0007】(1)のキャパシタ誘電体膜の薄膜化については、これまでシリコン酸化膜やシリコン窒化膜の薄膜化を進めてきた。しかし、厚さが3nm以下の領域となってくると、トンネル電流によりリーク電流が増加してしまう問題が顕在化してきている。よってこのキャパシタの薄膜化についても限界が近くなっている。

【0008】(2)のキャパシタ面積の増加では、従来の平面キャパシタ構造から、シリコン基板に深い溝を形成したトレンチ型キャパシタ、あるいはトランジスタの上に積み上げるスタック型キャパシタなどのような方法がとられてきた。メガビットからギガビット級の容量のメモリに対応してキャパシタ面積の増加を図るにしても、キャパシタ構造をより一層複雑化する必要があり、キャパシタ形成プロセスへの負担が増加している。このため、(3)の高誘電体膜を適用したキャパシタの開発がなされるに至っている。

【0009】一方、強誘電体薄膜を利用した不揮発性メモリである強誘電体メモリ (FeRAM: Ferroelectric Random Access Memory) の開発が近年進んでいる。FeRAMは、DRAMのキャパシタ部分を強誘電体で置き換えたもので、

以下のような特徴をもち次世代メモリとして期待されている。

【0010】(1)書き込み、消去が高速であり、セルを小型化することでDRAMなみの100ns以下の書き込み時間が可能、(2)不揮発性メモリで、SRAMと異なり電源が不必要、(3)書き換え可能回数が大きく、強誘電体材料(SBTなど)、電極材料(IrO_x 、 RuO_x 、 SrRuO_3 など)を工夫することで 10^{12} 回以上が可能、(4)原理的に高密度高集積化ができ、DRAMと同等の集積度を得ることが可能である、(5)内部の書き込み電圧を2V程度とすることができ、低消費電力で動作する、(6)ランダムアクセスによるビット書き換えが可能、などの特徴をもつ。

【0011】FeRAMでは、キャパシタ部分にPZT($\text{Pb}(\text{Zr}_x, \text{Ti}_{1-x})\text{O}_3$)、BIT($\text{Bi}_4\text{Ti}_3\text{O}_{12}$)またはSBT($\text{SrBi}_2\text{Ta}_2\text{O}_9$)などの材料からなる強誘電体薄膜を使用する。いずれの材料も酸素八面体を基本構造とするペロブスカイト構造を基本とした結晶構造をもつ。前述のDRAM用キャパシタ材料として検討されている常誘電体BSTも同様である。

【0012】これらの材料は、従来のシリコン酸化膜とは異なり、アモルファス状態ではその特徴である強誘電性や高誘電性を発現しないため、使用することができない。よって結晶化するための工程、例えば高温での結晶化熱処理、高温でのIn-situ結晶化プロセスなどが必要となる。材料にもよるが、一般的に少なくとも400-700℃程度の温度が結晶化のため必要となる。

【0013】成膜方法としてはレーザアブレーション法、真空蒸着法、MBE法など各種の方法が研究されているが、実用化されているものでは、MOCVD法、ス

【0014】以下では代表的な強誘電体材料であるPZTとSBTを例にとってその特徴について説明する。強誘電体は自発分極をもち、その自発分極が電界により向きを反転することが可能である特徴をもつ。自発分極は電界を印加しない状態でも分極値をもち(残留分極)、その値(分極の向き)が電界を0とする前の状態に依存する。

【0015】印加する電界の向きで+、-の電荷を結晶表面に誘起することができ、この状態をメモリ素子の0、1に対応させる。DRAMと同じ1T/1C(1トランジスタ/1キャパシタ)の構造をとることができるが、現状では信頼性を向上させるために主に2T/2C構造のものが採用されている。

【0016】FeRAMに実際に使用されている強誘電体薄膜は、PZT($\text{Pb}(\text{Zr}_x, \text{Ti}_{1-x})\text{O}_3$)薄膜、SBT($\text{SrBi}_2\text{Ta}_2\text{O}_9$)薄膜である。前者のPZTは、結晶化温度が600℃程度であること、分極値が大きく残留分極値で $20\mu\text{C}/\text{cm}^2$ 程度であること、

ヒステリシス曲線において分極0となる時の電界値である抗電界が比較的小さいため低電圧で分極反転が可能となること、Zr/Ti組成比により結晶化温度の制御可能となる他に、グレインサイズ、グレイン形状などの構造特性、分極量、抗電界、疲労特性、リーク電流などの強誘電特性が制御可能なこと、ペロブスカイト構造のもつ元素許容性からAサイトと呼ばれるPbをSr、Ba、Ca、Laなどの元素で、Bサイトと呼ばれるZr・TiをNb、W、Mg、Co、Fe、Ni、Mnなどの元素で置換することが可能であり、それが結晶構造、構造特性、強誘電特性に大きく影響することなどが利点としてあげられる。

【0017】PZTは早くから薄膜化の検討がなされてきており、スパッタ法、ゾルゲル法などの手法で研究例も多く、最初にFeRAMとして実用化された材料である。欠点としては、書き込み回数の増加に伴う分極量の減少(疲労特性)があげられる。

【0018】PZT膜の疲労は、Pt電極界面に形成される酸素空孔が主たる原因とされている。この酸素空孔の発生理由の一つがPb元素の揮発性、拡散容易性である。Pbはペロブスカイト構造の一部であるために、酸素空孔が形成されると近傍の陽イオンと双極子を形成し、スイッチング電荷の減少を引き起こす。

【0019】これに対し、疲労特性そのものが電界により加速される特徴をもつため、最近の動作電圧の低電圧化、当初使用されていたPt電極から IrO_x など酸化物電極の採用による疲労特性の改善もなされている。

【0020】一方、後者のSBTは、PZTのもつ疲労特性の改善、膜の低電圧駆動を達成するために開発された材料である。SBTはBi層状化合物(Aurivillius Phase)の一種であって、強誘電性の起源となる酸素八面体からなる擬似ペロブスカイト構造層を Bi_2O_7 層が挟む結晶構造をもつ。

【0021】この結晶構造により主たる分極軸はc軸と垂直な面内にあり、C軸方向の分極は無か、あっても小さい値となる。擬似ペロブスカイト構造中の酸素八面体の数によってその分極が発現する。

【0022】SBTは揮発性元素であるBiが無くなっても、電荷を補償する酸素空孔自体はBi酸化物層に形成されるため、直接ペロブスカイト構造での影響は少ない。また、価数の変化しやすいTiをもたないことも有効とされている。しかし、SBTはPZTに比べて結晶化温度が高いという欠点がある。

【0023】一方、以上で説明したような強誘電体材料を利用したFeRAMのセル構造では、キャパシタの上部電極とトランジスタの活性領域とを接続するオフセット型構造と呼ばれるもので、これまで実用化されているFeRAMではこの従来型のオフセット型構造を採っている。

【0024】上記オフセット型構造においては、キャパ

シタを形成し終わってからプラグを形成するプロセスをとるため、強誘電体膜形成等のための熱処理がプラグに対して負担となることはなかった。しかしながら、このオフセット型構造ではセル面積の縮小が困難であり、高集積化にとっては大きな阻害要因となっている。

【0025】これに対して、最近ではより密度の高いFeRAMを作製するべく、プラグ上にキャパシタを配置するCOP (Capacitor On Plug) 構造の開発が進められるに至っている。

【0026】これはトランジスタの活性領域から接続されてWやSiからなるプラグがキャパシタ直下にあるもので、DRAMのスタック型キャパシタの場合と同様にセルサイズを小さくすることができる。

【0027】ここで、キャパシタ誘電体膜の堆積後の結晶化工程においては酸素欠損を防止する必要がある、またキャパシタをインテグレーションする際における誘電体膜や金属膜のRIE (Reactive Ion Etching) 加工工程もしくはプラズマCVDによる絶縁膜の堆積工程で生じたダメージを回復する必要があるため、いずれも酸素含有雰囲気下での熱処理が必要となる。

【0028】しかしながら、上記酸素含有雰囲気下での熱処理の際に、キャパシタ直下のプラグが酸化されてコンタクト抵抗が高くなり、ひどい場合には誘電体膜や金属膜の剥離が生じるなどの問題が生じる。すなわち、従来のCOP構造のFeRAMでは、優れたキャパシタ誘電体膜の成膜とプラグの熱的安定性を同時に図ることが困難であるという問題があった。このような問題は、プラグを形成した後にキャパシタを形成するというプロセスをとる、 Ta_2O_5 、 $(Ba, Sr)TiO_3$ 等の高誘電体材料をキャパシタ誘電体膜に使用したスタック型DRAMにも存在した。

【0029】このような問題を回避するために、 $TiAlN$ 、 TiN 、 $TaSiN$ などの材料からなるバリア層の形成、 IrO_2 、 Ir 、 RuO_2 、 Ru などの材料からなる電極が試みられているが、プラグ構造が複雑になり、その結果としてプロセスも複雑になるという問題があった。さらに、上記の如きの熱処理に対する耐性は高いとはいえないため低温短時間化は同時に必須であった。しかし、低温短時間の熱処理ではダメージの回復は不十分であり、素子特性や信頼性の点で問題が残る。

【0030】また、キャパシタのRIE加工ダメージの低減を目的としてダマシンプロセスを利用したキャパシタ作製プロセスなどが提案されているが、CMP (Chemical Mechanical Polishing) を利用するプロセスでは、酸化膜と誘電体膜、強誘電体膜が接した状態で熱処理することがあるために、その部分での反応が問題となる。例えば、PZTと SiO_2 とは熱により鉛ガラスを形成して接触部分を著しく劣化させる問題がある。

【0031】

【発明が解決しようとする課題】上述の如く、FeRAM

Mのセル構造は、高集積化の要請から、オフセット型構造からCOP型構造へと変わりつつある。COP型構造のプロセスは、オフセット型構造のそれとは逆に、プラグを形成した後に、キャパシタを形成する(プラグ後作りプロセス)。この場合、キャパシタ形成時に生じた種々のダメージを回復するための酸素含有雰囲気下での熱処理が必要となる。

【0032】しかしながら、この種の熱処理によってプラグが酸化されてコンタクト抵抗が高くなってしまおうという問題があった。このような問題は、 Ta_2O_5 等の高誘電体材料をキャパシタ誘電体膜に使用したスタック型DRAMにも存在した。

【0033】このような問題を解決する方法はいくつか提案されていたが、プラグ構造やそのプロセスが複雑になったり、酸化膜と誘電体膜、強誘電体膜との接触部分が劣化するという新たな問題があった。

【0034】本発明は、以上述べたような従来のプラグ後作りプロセスのFeRAMや、スタック型DRAMにおける問題点を考慮してなされたものであり、その目的とすることは、プラグ/電極構造を形成した後、酸化性雰囲気下での熱処理を必要とする場合における上記プラグの酸化を効果的に防止できる半導体装置およびその製造方法を提供することにある。

【0035】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば下記の通りである。

【0036】すなわち、上記目的を達成するために、本発明に係る半導体装置は、半導体基板上に形成された導電性のプラグと、前記プラグの上面を覆う炭化珪素膜と、前記炭化珪素膜を介して前記プラグと電気的に接続する電極とを備えたことを特徴とする。

【0037】また、本発明に係る他の半導体装置は、半導体基板上に形成された導電性のプラグと、前記プラグの上面を覆う炭化珪素膜と、前記炭化珪素膜を介して前記プラグと電気的に接続する電極と、前記電極上に形成され、強誘電体または高誘電体を主成分とする誘電体膜とを備えたことを特徴とする。

【0038】これらの本発明に係る半導体装置の好ましい形態は以下の通りである。

【0039】(1) 前記プラグは、前記半導体基板の表面に形成されたトランジスタの活性領域に電気的に接続したものである。

【0040】(2) 上記(1)において、前記電極および前記誘電体膜はキャパシタを構成するものであり、かつ前記電極は前記誘電体膜の下に形成されたものである。

【0041】(3) 上記(2)において、前記キャパシタは、キャパシタ誘電体膜の主成分として強誘電体材料を使用した、不揮発性メモリ機能を有するものである。

【0042】(4)上記(2)において、前記キャパシタは、キャパシタ誘電体膜の主成分として高誘電体材料を使用した、DRAMのメモリスルを構成するものである。

【0043】(5)前記炭化珪素膜の膜厚は、100nm以下、好ましくは20nm以下である。

【0044】(6)前記プラグの材料として、例えばポリシリコン等の半導体材料、タングステン等の金属材料、または窒化チタン等のシリサイドを用いる。また、前記炭化珪素膜上の前記電極の材料として、例えば白金、ルテニウム、イリジウム等の貴金属材料を用いる。すなわち、前記プラグおよび前記電極の材料はその用途に応じて種々選択することが可能である。

【0045】また、本発明に係る半導体装置の製造方法は、半導体基板上に導電性のプラグを形成する工程と、前記プラグの上面を覆う炭化珪素膜を形成する工程と、前記炭化珪素膜上に前記プラグと電気的に接続する電極を形成する工程と、前記電極上に強誘電体または高誘電体を主成分とする誘電体膜を形成する工程と、酸化性雰囲気中で前記誘電体膜を熱処理する工程とを有することを特徴とする。

【0046】ここで、前記炭化珪素膜は、スパッタ法、あるいはCVD法によって形成することができる。FeRAM等の比較的平坦なキャパシタ構造を有する場合には、スパッタ法での対応が可能である。一方、超微細な立体キャパシタを有するDRAMなどの場合には一般的にはCVD法が適している。ただし、炭化珪素膜の形成方法としては、スパッタ法、CVD法に限定されるものではなく、適宜他の方法を用いることができる。

【0047】本発明によれば、プラグ/電極構造を有する半導体装置において、プラグの保護膜(反応バリア膜)として炭化珪素膜を用いることによって、酸素含有雰囲気下での熱処理によるプラグの酸化を効果的に防止できるようになる。

【0048】その結果、従来制限要因だった熱処理温度、雰囲気の影響範囲が広がり、これによって信頼性の高い半導体装置を提供することが可能となる。例えば、微細構造に適しているCOP構造を有するFeRAMの場合を例に採り説明すると以下の通りである。

【0049】この種のFeRAMに使用される代表的な強誘電体膜はPZT膜やSBT膜である。これらの強誘電体膜の結晶化または加工等のプロセスダメージ回復のためには、高温処理が必要である。このとき、熱処理に伴う強誘電体膜の酸素欠損の発生を抑制するためには、酸素雰囲気下での熱処理が必要である。

【0050】ところが、上記熱処理によってキャパシタ下部電極へ酸素が拡散し、その下のプラグが酸化されてしまうという問題がある。したがって、熱処理温度の低減と短時間アニールが不可欠であった。特に、結晶化により高い温度を必要とするSBT膜の場合にはCOP構

造の適用はより困難さを増していた。しかし、本発明によれば、炭化珪素膜によってプラグの酸化を効果的に防止できるので、特性の優れた高・強誘電体膜を形成することが可能となり、もって信頼性の高い微細FeRAM等の半導体装置およびその製造方法を提供することが可能となる。

【0051】本発明の上記ならびにその他の目的と新規な特徴は、本明細書の記載および添付図面によって明らかになるであろう。

10 【0052】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態(以下、実施形態という)を説明する。

【0053】(第1の実施形態)図1は、本発明の第1の実施形態に係る半導体装置の製造方法を示す工程断面図である。本実施形態は本発明をCOP構造のFeRAMセルに適用した例である。

20 【0054】まず、図1(a)に示すように、P型シリコン基板100の表面のトランジスタ活性領域以外の領域に素子分離のための溝を形成し、この溝内にSiO₂を埋め込んで素子分離領域101を形成する(Sallow Trench Isolation)。

【0055】次に同図(a)に示すように、スイッチ動作を行うためのMOSTランジスタを形成する。具体的には次の通りである。まず、熱酸化により厚さ6nmのシリコン酸化膜102をP型シリコン基板100の表面に形成し、続いて砒素をドーパしたn⁺型多結晶シリコン膜103を全面に形成し、さらにn⁺型多結晶シリコン膜103上にタングステンシリサイド膜104、シリコン窒化膜105を順次形成する。しかる後、n⁺型多結晶シリコン膜103、タングステンシリサイド膜104、シリコン窒化膜105を通常の光ソグラフィ法およびRIE法により加工し、ゲート電極103、104(ポリサイドゲート)を形成する。さらに、シリコン窒化膜106を全面に堆積し、RIEによる側壁残しの手法によって、ゲート電極103、104の側壁にスペーサ部(ゲート側壁絶縁膜)を設ける。その後、周知のイオン注入法および熱処理(アニール)によって、1対のソース・ドレイン領域107を形成する。

40 【0056】次に図1(b)に示す工程に進む。まず、シリコン酸化膜108をCVD法により全面に堆積し、その後一旦CMP法により平坦化を行ってから、上記MOSTランジスタの一方のソース・ドレイン領域107に連通するコンタクトホール109を開孔する。

【0057】次にスパッタ法あるいはCVD法により薄いチタン膜を堆積し、フォーミングガス中で熱処理を行うことによって、バリアメタル膜としてのTiN膜110を形成する。

50 【0058】次にビット線プラグ111となるタングステン膜をCVD法により全面に堆積した後、コンタクトホール109の外部の不要なタングステン膜をCMP法

により除去することで、コンタクトホール109の内部にビット線プラグ111を埋め込み形成する。

【0059】次にシリコン窒化膜112、シリコン酸化膜113をCVD法により順次全面に堆積し、さらに他方のソース・ドレイン領域107に連通するコンタクトホール114を開孔する。その後、TiN膜110、ビット線プラグ111と同様に、TiN膜115、タングステンからなるキャパシタプラグ116をコンタクトホール114内に埋め込み形成する。キャパシタプラグ116はMOSトランジスタの一方のソース・ドレイン領域107（トランジスタの活性領域）に電氣的に接続する。

【0060】次に図1(c)に示す工程に進む。まず、保護膜117となる厚さ10nm程度の薄い炭化珪素膜をスパッタ法により全面に形成する。次にキャパシタ下部電極118となる第1の白金膜をスパッタ法によって全面に形成し、続いてキャパシタ誘電体膜119となるPZT膜をスパッタ法により全面に形成し、一旦酸素雰囲気中での急、速加熱処理(RTA)により上記PZT膜の結晶化を行う。この後、キャパシタ上部電極120となる第2の白金膜をスパッタ法により全面に形成する。

【0061】次にマスクパターンとなる図示しないシリコン酸化膜をCVD法により全面に堆積し、続いて上記シリコン酸化膜を光ソグラフィ法によってパターンニングし、シリコン酸化膜からなるマスクパターンを形成する。その後、パターンニング時に使用したフォトリソを剥離する。

【0062】次に上記マスクパターンをマスクにして上記第2の白金膜、上記PZT膜、上記第1の白金膜、炭化珪素膜をこの順で連続的にテーバエッチングした後、上記マスクパターンを除去することで、第2の白金膜からなるキャパシタ上部電極120、PZT膜からなるキャパシタ誘電体膜119、第1の白金膜からなるキャパシタ下部電極118からなるキャパシタが完了する。

【0063】次にシリコン酸化膜121を全面に堆積し、上記キャパシタを覆った後、上記テーバエッチングの加工時にキャパシタ誘電体膜(PZT膜)119に生じたダメージを除去するために酸素雰囲気下で600C程度の高温熱処理を行う。

【0064】この際、酸素はキャパシタ内にも浸透し、その一部はキャパシタ下部電極118の下にも達するが、保護膜117である炭化珪素膜の酸素に対する拡散バリア性が高いため、下地のキャパシタプラグ116であるタングステン膜が酸化されることはない。

【0065】また、炭化珪素膜は、キャパシタ下部電極118である白金膜、キャパシタプラグ116であるタングステン膜ともに反応することはないため、前述のキャパシタ製造工程に伴う酸素中熱処理においても何ら障害をもたらすことはない。なお、本実施形態の最後に炭

素珪素膜についてさらに詳細に説明する。

【0066】しかる後、図には示さないが周知の方法に従ってドライブ線、ビット線、さらに上層メタル配線の工程を経て、FeRAMが完成することになる。

【0067】以上述べたように本実施形態によれば、MOSトランジスタとキャパシタとを接続するキャパシタプラグ116の上面が覆われるように、炭化珪素膜からなる保護膜117を形成するという工程を追加するだけ、従来技術で述べた酸素雰囲気中での高温熱処理による問題を解決でき、その結果としてプラグ/電極構造およびそのプロセスの複雑化を招くことなく、微細かつ高密度(高集積度)のFeRAMを実現できるようになる。

【0068】なお、本実施形態においては、セル構造にはキャパシタの上層にビット線が配置される場合を示したが、より集積度を増すためには、ビット線を形成した後にキャパシタを配置する方が望ましく、本発明はその趣旨に基づいてその場合にも適用することができる。

【0069】また、他のセル構造としてはトランジスタとキャパシタを並列に配置するいわゆるラダー構造を有するセル構造も提案されているが、その場合にも当然本発明をこと可能である。

【0070】さらに、キャパシタ材料に関しては、本実施形態ではキャパシタ誘電体膜119には強誘電体であるPZT、キャパシタ上部電極120およびキャパシタ下部電極118には白金を用いているが、このような材料に限定されることはない。

【0071】例えば、キャパシタ誘電体膜119にはSBTを用いることも可能である。前述の通り、SBTの結晶化温度はPZTよりも高いため、より高温での熱処理が必要となるが、本発明の特徴をもってすればこのような場合に対してもより高い効果が期待できる。

【0072】また、キャパシタ上部電極120およびキャパシタ下部電極118には、例えばイリジウム、ルテニウム、あるいはそれらの酸化物、さらにはストロンチウムルテニウム酸化物等の化合物導電体を用いることが可能である。

【0073】以下、炭素珪素膜についてさらに詳細に説明する。炭化珪素膜は、融点は2000C以上で熱的に極めて安定であるとともに、酸素透過性も極めて低い材料であり、耐火物や抵抗体などに用いられる。また、半導体材料でもあるため、近年半導体素子への応用も広がっている。

【0074】炭素珪素膜は、上記の如き特徴を有するため、タングステンプラグなど金属プラグや多結晶シリコンプラグ上に炭化珪素膜を配置することによって、キャパシタ形成時の酸素熱処理においても炭化珪素自体変化を受けないだけでなく、下地の金属プラグや多結晶シリコンプラグの酸化を極めて効率よく防止することができる。

【0075】一方、炭化珪素は半導体であるため、その抵抗値は構造（結晶形態、結晶化の有無）、形成方法、ドーピング有無などによっても大きく異なってくる。代表的な結晶構造である β -SiCの場合、抵抗率の値は $1 \times 10^{-4} \Omega \text{cm}$ 程度とされおり、また非結晶体の場合、さらに数オーダー高くなることも指摘されており、一般的な金属に比べると高い値であるが、薄膜として用いれば電氣的導通を保つことは可能である。

【0076】すなわち、この程度の抵抗率であれば、炭化珪素膜の膜厚を十分薄くすることで、具体的には膜厚を100nm以下にすることで、好ましくは50nm以下、より好ましくは20nm以下にすることで、導電性を有する保護膜として使用することが可能であり、炭化珪素膜を用いることによる抵抗の上昇の影響を最小限に抑制することができる。

【0077】例えば、膜厚50nmの β -SiC膜を、0.1 μ m角のコンタクトに用いた場合、その抵抗値はわずから5.35 Ω である。これにコンタクト抵抗が加わることになるが、例えば本実施例で説明したFeRAMや第3の実施形態で説明するDRAMの場合のキャパシタ/プラグに要する抵抗値は一般には10k Ω 以上であるため、キャパシタ/プラグ間を電氣的に接続する点で問題となることはない。

【0078】一方、炭化珪素（SiC）と金属材料（M）との反応性は一般には低いが、金属材料によっては主として以下二種類の反応が生じる場合がある。

【0079】(1) $\text{SiC} + \text{M} \rightarrow \text{MSi} + \text{C}$

(2) $\text{SiC} + \text{M} \rightarrow \text{MC} + \text{Si}$

あるいは、これらの組み合わせとして生じる。これらは、反応に伴う自由エネルギーが極小になるように進むが、それは材料固有の物性であるため一般的な指針はない。

【0080】ただし、本発明者等の研究によれば、本実施例であげられている白金、ルテニウム、イリジウム、タングステンに関しては、通常のキャパシタプロセス温度（700℃以下）では上記反応は生じないことを確認している。

【0081】さらに、チタンシリサイドに関しても安定であることを確認している。チタンは単独では上記

(1)の反応が生じることが報告されている。これは、シリサイド化することによりもはや反応に伴う自由エネルギーの極小化が図れないことを示している。すなわち、金属は単体では炭化珪素と反応を生じる場合でも、あらかじめシリサイドあるいはまた炭化物として用いることによって、安定化が図れることを示している。

【0082】図2、図3に、実際にタングステンプラグ上に厚さ10nmの炭化珪素膜を堆積した後、白金膜、PZT膜を堆積し、650℃および600℃の酸素雰囲気中下で熱処理を行った場合の断面のSEM写真と上部電極に白金を用いたキャパシタにおける自発分極を示す

P-V特性曲線をそれぞれ示す。

【0083】図2、図3から明らかなように、厚さ10nmと薄い炭化珪素膜でも十分な酸化・反応防止効果を得ることができ、SEM写真で見られるように白金膜とその下地のタングステンプラグとは安定に保たれており、キャパシタとしても実際良好な電気特性が得られることを確認した。

【0084】（第2の実施形態）図4は、本発明の第2の実施形態に係る半導体装置の製造方法を示す工程断面図である。本実施形態は本発明をCOP構造のFeRAMセルに適用した例であって、具体的にはFeRAMセルのキャパシタプラグの上面のみ本発明の炭化珪素膜を形成する例である。

【0085】まず、図4(a)に示すように、P型シリコン基板200の表面のトランジスタ活性領域以外の領域に素子分離のための溝を形成し、この溝内にSiO₂を埋め込んで素子分離領域201を形成する（Sallow Trench Isolation）。

【0086】次に同図(a)に示すように、スイッチ動作を行うためのMOSトランジスタを形成する。具体的には次の通りである。まず、熱酸化により厚さ6nmのシリコン酸化膜202をP型シリコン基板200の表面に形成し、続いて砒素をドーピングしたn⁺型多結晶シリコン膜203を全面に形成し、さらにn⁺型多結晶シリコン膜203上にタングステンシリサイド膜204、シリコン窒化膜205を順次形成する。しかる後、n⁺型多結晶シリコン膜203、タングステンシリサイド膜204、シリコン窒化膜205を通常の光ソグラフィ法およびRIE法により加工し、ゲート電極203、204を形成する。さらに、シリコン窒化膜206を堆積し、RIEによる側壁残しの手法によって、ゲート電極203、204の側壁にスペーサ部（ゲート側壁絶縁膜）を設ける。その後、周知のイオン注入法および熱処理（アニール）によって、1対のソース・ドレイン領域207を形成する。

【0087】次に図4(b)に示す工程に進む。まず、シリコン酸化膜208をCVD法により全面に堆積し、その後一旦CMP法により平坦化を行ってから、上記MOSトランジスタの一方のソース・ドレイン領域206に連通するコンタクトホール209を開孔する。

【0088】次にキャパシタプラグ210となる多結晶シリコン膜をコンタクトホール209内に埋め込むように全面に堆積した後、CMP法によりコンタクトホール209の外部の不要な多結晶シリコン膜を除去することによって、後工程で形成するキャパシタに連通するキャパシタプラグ210をコンタクトホール209内に埋め込み形成する。キャパシタプラグ210はMOSトランジスタの一方のソース・ドレイン領域207（トランジスタの活性領域）に電氣的に接続する。

【0089】次にキャパシタプラグ210である多結晶

シリコン膜の上部をエッチングしてその表面を後退させ、続いてエッチングによって生じたコンタクトホール209の隙間を埋め込むように、保護膜211となる厚さ50nmの薄い炭化珪素膜をCVD法により全面に形成した後、コンタクトホール209の外部の不要な炭化珪素膜をCMP法により除去することで、コンタクトホール109の隙間に保護膜211を埋込み形成する。

【0090】次に図4(c)に示す工程に進む。まず、キャパシタ下部電極212となる第1の白金膜をスパッタ法によって全面に形成し、続いてキャパシタ誘電体膜213となるPZT膜をスパッタ法により全面に形成し、一旦酸素雰囲気中でのRTAにより上記PZT膜の結晶化を行う。この後、キャパシタ上部電極214となる第2の白金膜をスパッタ法により全面に形成する。

【0091】次にマスクパターンとなる図示しないシリコン酸化膜をCVD法により全面に堆積し、続いて上記シリコン酸化膜を光ソグラフィ法によってパターンニングし、シリコン酸化膜からなるマスクパターンを形成する。その後、パターンニング時に使用したフォトレジストを剥離する。

【0092】次に上記マスクパターンをマスクにして上記第2の白金膜、上記PZT膜、上記第1の白金膜、炭化珪素膜をこの順で連続的にテーバエッチングした後、上記マスクパターンを除去して、第2の白金膜からなるキャパシタ上部電極214、PZT膜からなるキャパシタ誘電体膜213、第1の白金膜からなるキャパシタ下部電極212からなるキャパシタが完了する。

【0093】次にシリコン酸化膜215を全面に堆積し、上記キャパシタを覆った後、テーバエッチングの加工時にキャパシタ誘電体膜(PZT膜)213に生じたダメージを除去するために酸素雰囲気下で600℃程度の熱処理を行う。

【0094】この際、酸素はキャパシタ内にも浸透し、その一部はキャパシタ下部電極212の下にも達するが、保護膜211である炭化珪素膜の酸素に対する拡散バリア性が高いため、下地のキャパシタプラグ210である多結晶シリコン膜とキャパシタ下部電極212である白金膜との反応が生じることはない。

【0095】一方、保護膜211である炭化珪素膜はキャパシタ下部電極211である白金膜、キャパシタプラグ210である多結晶シリコン膜ともに反応することはないため、前述のキャパシタ製造工程に伴う酸素中熱処理においても何ら障害をもたらすことはない。

【0096】この後、図には示さないが周知の方法に従ってMOSトランジスタの他方のソース・ドレイン206に連通するコンタクトホール、ビット線、ドライブ線、さらに上層メタル配線の工程を経て、FeRAMが完成することになる。

【0097】なお、本実施形態において、セル構造や、キャパシタ材料は、第1の実施形態と同様に種々変形可

能である。

【0098】(第3の実施形態)第1および第2の実施形態では本発明をFeRAMに適した場合について説明したが、発明はFeRAMに限らず高誘電体膜キャパシタを用いたスタック型DRAMにも適用できる。以下、図5を用いて本発明をスタック型DRAMに適用した実施形態について説明する。

【0099】まず、図5(a)に示すように、P型シリコン基板300の表面のトランジスタ活性領域以外の領域に素子分離のための溝を形成し、この溝内にSiO₂を埋め込んで素子分離領域301を形成する(Sallow Trench Isolation)。

【0100】次に同図(a)に示すように、スイッチ動作を行うためのMOSトランジスタを形成する。具体的には次の通りである。まず、熱酸化により厚さ6nmのシリコン酸化膜302をP型シリコン基板300の表面に形成し、続いて砒素をドーパしたn⁺型多結晶シリコン膜303を全面に形成し、さらにn⁺型多結晶シリコン膜103上にタングステンシリサイド膜304、シリコン窒化膜305を順次形成する。しかる後、n⁺型多結晶シリコン膜303、タングステンシリサイド膜304、シリコン窒化膜305を通常の光ソグラフィ法およびRIE法により加工し、ゲート電極303、304を形成する。さらに、シリコン窒化膜306を堆積し、RIEによる側壁残しの手法によって、ゲート電極303、304の側壁にスペーサ部(ゲート側壁絶縁膜)を設ける。その後、周知のイオン注入法および熱処理(アニール)によって、1対のソース・ドレイン領域307を形成する。

【0101】次に図5(b)に示す工程に進む。まず、シリコン酸化膜308をCVD法により全面に堆積し、その後一旦CMP法により平坦化を行ってから、上記MOSトランジスタの一方のソース・ドレイン領域307に連通するコンタクトホール309を開孔する。

【0102】次に第1の実施形態と同様に、バリアメタル膜としてのTiN膜310を形成し、続いてビット線プラグ311となるタングステン膜をCVD法により全面に堆積し、さらにコンタクトホール309の外部の不要なタングステン膜をCMP法により除去することで、一方のコンタクトホール309の内部にビット線プラグ311を埋込み形成する。その後、シリコン酸化膜312₁をCVD法により全面に堆積し、ダマシンプロセスによりタングステンからなるビット線313をシリコン酸化膜312₁内に埋め込み形成する。

【0103】次にシリコン酸化膜312₂を全面に堆積し、シリコン酸化膜312₁、312₂に他方のソース・ドレイン領域309に連通するコンタクトホール314を開孔した後、TiN膜310、ビット線プラグ311と同様に、TiN膜315、タングステンからなるキャパシタプラグ316をコンタクトホール314内に埋

め込み形成する。キャパシタプラグ316はMOSトランジスタの一方のソース・ドレイン領域307(トランジスタの活性領域)に電気的に接続する。

【0104】次に図5(c)に示す工程に進む。まず、厚いシリコン酸化膜317をCVD法により全面に堆積し、光リソグラフィ法とRIE法によりシリコン酸化膜317に溝を開孔し、その後この溝の内面を覆うように、保護膜318となる厚さ10nm程度の薄い炭化珪素膜、キャパシタ下部電極319となるルテニウム膜をCVD法により全面に順次堆積する。このとき、上記溝の内部を埋め込まないようにする。

【0105】次に上記溝の内部を埋め込む厚さのシリコン酸化膜をCVD法により全面に堆積し、続いて上記シリコン酸化膜、上記ルテニウム膜、上記炭化珪素膜をCMP法によって順次研磨し、上記溝の外部の上記三つの膜を除去し、その後溝の内部の上記シリコン酸化膜を選択的に除去して、上記溝の内面上に保護膜318およびキャパシタ下部電極319を形成する。

【0106】次にキャパシタ誘電体膜320となるBST膜をCVD法により全面に堆積した後、シリコン酸化膜317に形成した溝の内部を埋め込むように、キャパシタ上部電極321となるルテニウム膜をCVD法により全面に堆積する。

【0107】次に上記BST膜および上記ルテニウム膜をフォトリソグラフィおよびRIEを用いてパターンニングし、BST膜からなるキャパシタ誘電体膜320およびルテニウムからなるキャパシタ上部電極321を形成する。その後、上記RIE時に生じたキャパシタ誘電体膜(BST膜)320のダメージを除去するために酸素雰囲気下で600℃程度の熱処理を行う。

【0108】この際、酸素の一部はキャパシタ下部電極319の下にも達するが、保護膜318である炭化珪素膜の酸素に対する拡散バリア性が高いため、下地のキャパシタプラグ316であるタングステン膜が酸化されることはない。また、炭化珪素膜はキャパシタ下部電極319であるルテニウム膜、キャパシタプラグ316であるタングステン膜ともに反応することはないため、前述のキャパシタ製造工程に伴う酸素中熱処理においても何ら障害をもたらすことはない。

【0109】その後、周知の方法に従って、上層のメタル配線工程を経て、スタック型DRAMが完成することになる。

【0110】なお、キャパシタ材料に関して、本実施形態では、キャパシタ誘電体膜320にはBST、キャパシタ上部電極321およびキャパシタ下部電極319にはルテニウムを用いているが、このような材料に限定されることはない。

【0111】例えば、キャパシタ誘電体膜320には tantalum 酸化膜、キャパシタ上部電極321およびキャパシタ下部電極319には白金、イリジウム、ストロンチ

ウムルテニウム酸化物等の化合物導電体も使用することが可能である。

【0112】また、本実施形態ではシリコン基板を用いたが、DRAMの高速化等の性能向上のためには、SOI基板を用いると良い。

【0113】なお、本発明は、上記実施形態に限定されるものではない。例えば、上記実施形態では、本発明をFeRAM、DRAMに適した場合について説明したが、本発明はこれらの半導体装置に限定されるものではなく、導電性のプラグ/電極構造を有する半導体装置に適用可能である。

【0114】特に、導電性のプラグ/電極構造の上に強誘電体または誘電体薄膜を有する半導体装置において有効である。この場合も、上記実施形態と同様に、プラグ/電極構造上に特性の優れた強誘電体または誘電体薄膜を配置した構造を備えた半導体装置および半導体装置の製造方法を実現できるようになる。

【0115】また、上記実施形態では、高温熱処理を酸素雰囲気下で行う場合について説明したが、純酸素(O₂)の雰囲気だけでなく酸化性雰囲気下であれば良い。

【0116】さらに、上記各実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題を解決できる場合には、この構成要件が削除された構成が発明として抽出され得る。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0117】

【発明の効果】以上詳説したように本発明によれば、プラグ/電極構造のプラグを酸化から保護するための保護膜として炭化珪素膜を用いることによって、酸化性雰囲気下での熱処理によるプラグの酸化を効果的に防止できるようになる。

【図面の簡単な説明】

【図1】発明の第1の実施形態に係る半導体装置の製造方法を示す工程断面図

【図2】本発明の効果を説明するための顕微鏡写真(SEM写真)

【図3】本発明の効果を説明するためのP-V特性を示す図

【図4】本発明の第2の実施形態に係る半導体装置の製造方法を示す工程断面図

【図5】本発明の第3の実施形態に係る半導体装置の製造方法を示す工程断面図

【符号の説明】

100…P型シリコン基板

101…素子分離領域

102…シリコン酸化膜

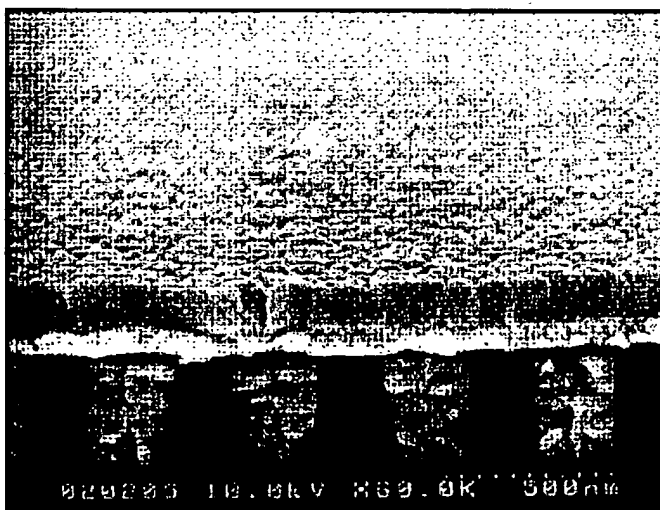
17

103... n^+ 型多結晶シリコン膜
 104...タングステンシリサイド膜
 105, 106...シリコン窒化膜
 107...ソース・ドレイン領域
 108...シリコン酸化膜
 109...コンタクトホール
 110...TiN膜
 111...ビット線プラグ
 112...シリコン窒化膜
 113...シリコン酸化膜
 114...コンタクトホール
 115...TiN膜
 116...キャパシタプラグ
 117...保護膜(炭素珪素膜)
 118...キャパシタ下部電極
 119...キャパシタ誘電体膜
 120...キャパシタ上部電極
 121...シリコン酸化膜
 200...P型シリコン基板
 201...素子分離領域
 202...シリコン酸化膜
 203... n^+ 型多結晶シリコン膜
 204...タングステンシリサイド膜
 205, 206...シリコン窒化膜
 207...ソース・ドレイン領域
 208...シリコン酸化膜
 209...コンタクトホール
 210...キャパシタプラグ

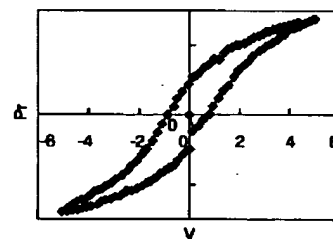
18

211...保護膜(炭素珪素膜)
 212...キャパシタ下部電極
 213...キャパシタ誘電体膜
 214...キャパシタ上部電極
 215...シリコン酸化膜
 300...P型シリコン基板
 301...素子分離領域
 302...シリコン酸化膜
 303... n^+ 型多結晶シリコン膜
 10 304...タングステンシリサイド膜
 305, 306...シリコン窒化膜
 306...シリコン窒化膜
 307...ソース・ドレイン領域
 308...シリコン酸化膜
 309...コンタクトホール
 310...TiN膜
 311...ビット線プラグ
 312₁, 312₂...シリコン酸化膜
 313...ビット線
 20 314...コンタクトホール
 315...TiN膜
 316...キャパシタプラグ
 317...シリコン酸化膜
 318...保護膜(炭素珪素膜)
 319...キャパシタ下部電極
 320...キャパシタ誘電体膜
 321...キャパシタ上部電極

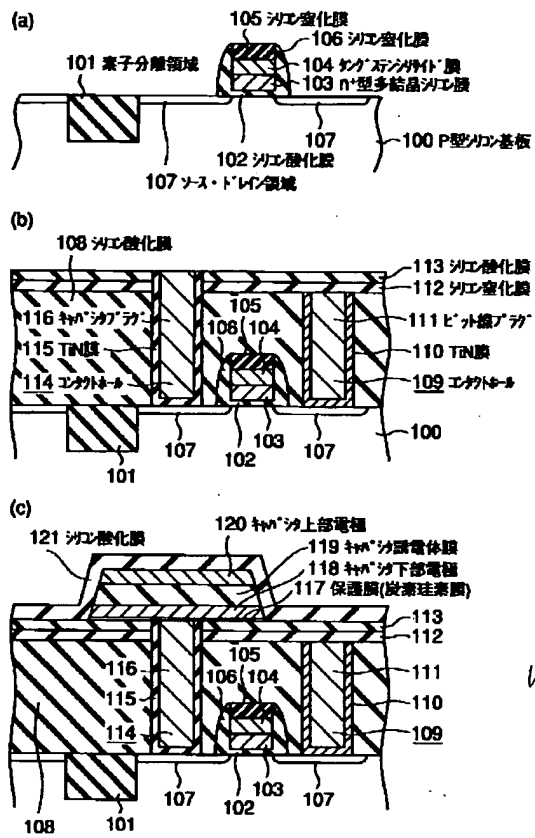
【図2】



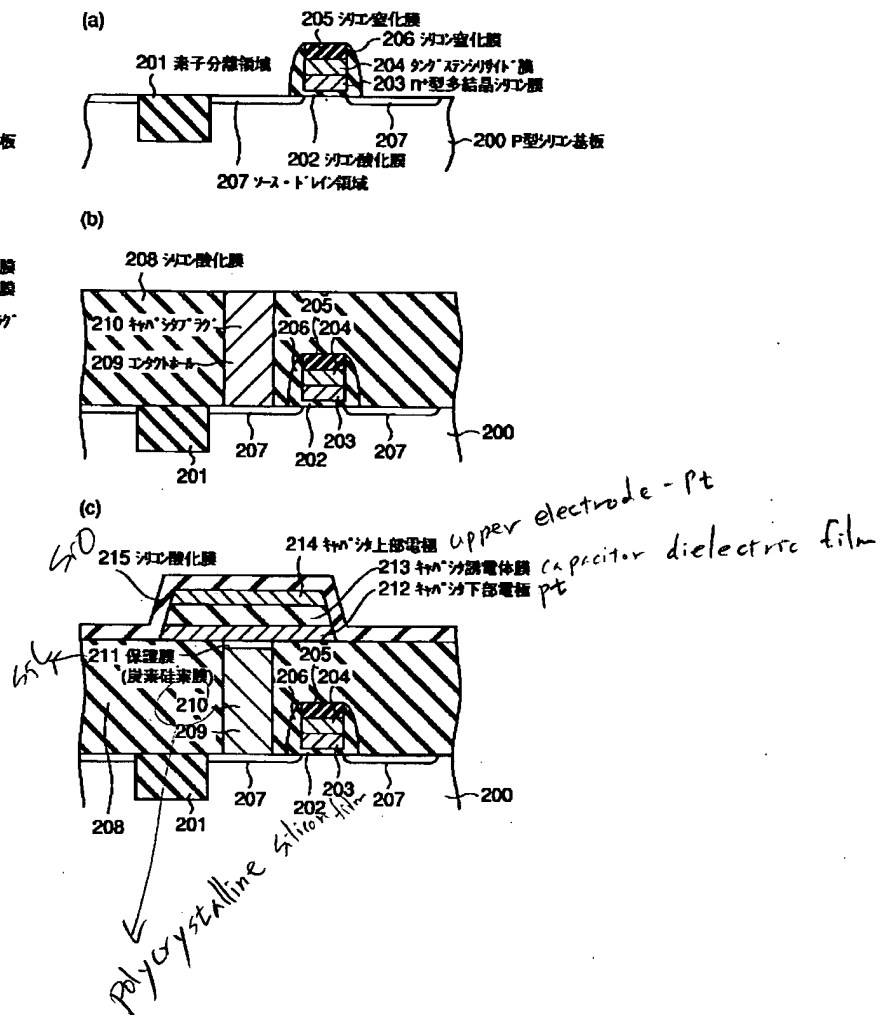
【図3】



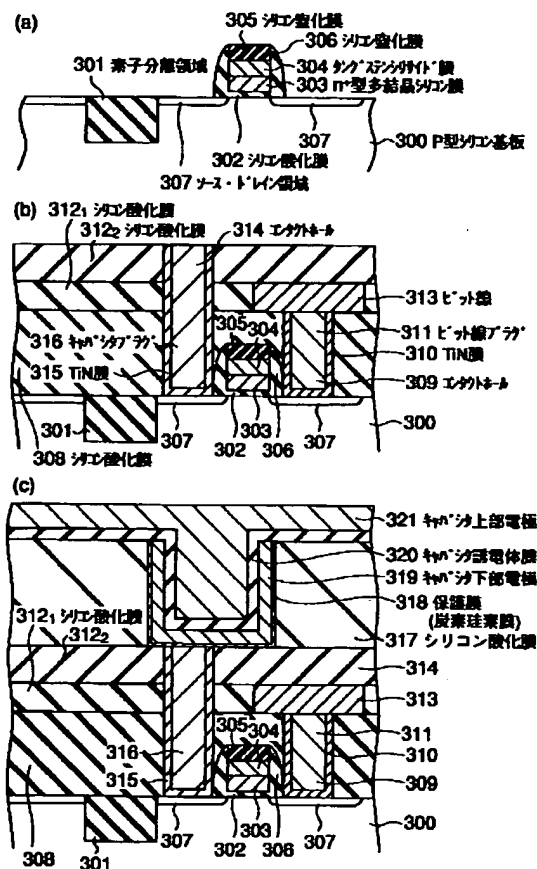
【図1】



【図4】



【図5】



フロントページの続き

(72)発明者 有隅 修

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72)発明者 名取 克晃

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

Fターム(参考) 5F033 HH03 HH07 JJ19 JJ33 KK01

PP06 PP15 QQ37 QQ48 QQ73

QQ78 RR04 RR06 SS11 TT02

VV16 XX28

5F083 AD02 AD21 AD48 AD49 GA02

GA25 HA02 JA14 JA15 JA17

JA31 JA35 JA38 JA39 JA40

JA43 JA44 MA05 MA06 MA17

MA20 NA01 PR33 PR34 PR40

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-289810

(43)Date of publication of application : 04.10.2002

(51)Int.Cl.

H01L 27/105

H01L 21/768

H01L 27/108

H01L 21/8242

(21)Application number : 2001-092533 (71)Applicant : TOSHIBA CORP

(22)Date of filing : 28.03.2001 (72)Inventor : IMAI KEITAROU

YAMAKAWA KOJI

ARISUMI OSAMU

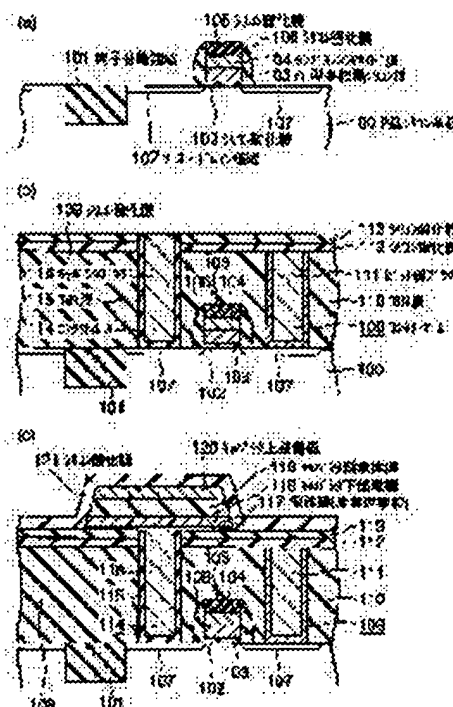
NATORI KATSUAKI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent oxidation of a capacitor plug under a ferroelectric substance film, in a thermal treatment process under an oxidizing atmosphere which process is performed for crystallization and damage restoration of the ferroelectric film, constituting an FeRAM cell of a COP structure.

SOLUTION: After an upper surface of the capacitor plug 116 is covered with a silicon carbide film as a protective film 117, a capacitor lower electrode 118 and a capacitor dielectric film 119 are formed.



LEGAL STATUS

[Date of request for examination] 11.03.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

*.NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the semiconductor device which has the description in the connection structure (a plug / electrode structure) which consisted of a ferroelectric or a dielectric thin film capacitor electrode, and a plug formed in the bottom of it, and its manufacture approach with respect to a semiconductor device and its manufacture approach.

[0002]

[Description of the Prior Art] In recent years, the information which digital electronic equipment treats spreads to image information, animation information, etc., and the amount of information is expanded sharply. A lot of capacity is demanded compared with the memory and the former which are used in connection with this.

[0003] For high integration of semiconductor memory, it needs detailed-ization and to be integrated highly in connection with it. The thing of the capacity of a gigabit has come [for example, / in DRAM (Dynamic Random Access Memory) which is a typical memory device, / integration is advanced by one 4 times the speed of this in three years until now, and / in recent years] to be developed.

[0004] In DRAM, the memory cell which consists of the capacitor and transistor of a pair is made into one unit which memorizes the information on 1 or 0. For high integration of DRAM, detailed-izing of the capacitor which constitutes a memory cell is indispensable.

[0005] For that, three methods which make thickness of (1) capacitor dielectric film thin and to which advance (2) solidification and capacitor area is made to increase of using the thing of a high dielectric constant for the (3) ingredients itself are held typically, and examination and development have been furthered, respectively.

[0006] Especially, to (3), from the silicon oxide used for the capacitor ingredient so far, tantalum pentoxide (Ta_2O_5) and installation of high dielectric materials further called barium titanate strontium (Ba, Sr) (TiO_3) are considered, and development of the high capacity capacitor by application of those thin films has been furthered. These ingredients have the description that a dielectric constant is high about 10 to 100 times, as compared with conventional silicon oxide.

[0007] About thin film-ization of the capacitor dielectric film of (1), thin film-ization of silicon oxide or a silicon nitride has so far been advanced. However, if thickness serves as a field 3nm or less, the problem which leakage current increases according to tunnel current will actualize. Therefore, the limitation is near also about thin film-ization of this capacitor.

[0008] In the increment in the capacitor area of (2), the approach of the trench mold capacitor which formed the trench in the silicon substrate, or the stack mold capacitor accumulated on a transistor has been taken from the conventional flat-surface capacitor structure. Even if it aims at the increment in capacitor area from a megabit corresponding to the memory of the capacity of gigabit class, it is necessary to complicate capacitor structure further, and the burden of capacitor formation pro SESUHE is increasing. Development of the capacitor which applied the high dielectric film of (3) has come [for this reason,] to be made.

[0009] On the other hand, development of the ferroelectric random-access memory (FeRAM: Ferroelectric Random Access Memory) which is the nonvolatile memory using a ferroelectric thin film is progressing in recent years. FeRAM is what replaced the capacitor part of DRAM with the ferroelectric, and is expected as next-generation memory with the following descriptions.

[0010] Because writing and elimination are high-speed and miniaturize a cel (1) By the possibility of about the same write-in time amount for 100 or less ns as DRAM, and (2) nonvolatile memory Unlike

SRAM, needlessness [a power source] and a (3) rewritable count are large. Ferroelectric ingredients (SBT etc.), an electrode material (it IrOx(es) and RuOx(es)) SrRuO₃ High density high integration can be performed theoretically. etc. -- devising -- the possibility of 10¹² times or more, and (4) -- It can carry out to about V and bit rewriting which operates with a low power according the write-in electrical potential difference inside (5) which can obtain a degree of integration equivalent to DRAM to 2(6) random access has the descriptions, such as ****.

[0011] At FeRAM, it is PZT (the ferroelectric thin film which consists of ingredients, such as Pb (Zr_x and Ti_{1-x} O₃), BIT (Bi₄ Ti₃ O₂), or SBT (SrBi₂ Ta₂ O₉), is used.) to a capacitor part. Any ingredient has the crystal structure based on the perovskite structure which makes oxygen octahedron basic structure. The same is said of the paraelectrics BST currently examined as the above-mentioned capacitor ingredient for DRAM.

[0012] Since the ferroelectricity or high dielectric which are the description are not discovered in the amorphous condition unlike conventional silicon oxide, these ingredients cannot be used. Therefore, the process for crystallizing, for example, the heat-of-crystallization processing in an elevated temperature, the In-situ crystallization process in an elevated temperature, etc. are needed. Although based also on an ingredient, since the temperature of about at least 400 - 700 degrees C is generally crystallization, it is needed.

[0013] as the membrane formation approach -- the laser ablation method, a vacuum deposition method, and MBE -- what is put in practical use although various kinds of approaches, such as law, are studied -- MOCVD -- there are law, a spatter, and a solution method (CSD:Chemical Solution Deposition).

[0014] Below, the description is explained taking the case of PZT and SBT which are a typical ferroelectric ingredient. A ferroelectric has spontaneous polarization and it has the description that the spontaneous polarization is able to reverse the sense by electric field. It depends for spontaneous polarization on the condition before it has a polarization value (remanence) and the value (sense of polarization) sets electric field to 0 also in the condition of not impressing electric field.

[0015] Induction of the charge of +1 can be carried out to a crystal front face with the sense of the electric field to impress, and this condition is made to correspond to 0 of a memory device, and 1. Although the same structure of 1T/1C (1 transistor / 1 capacitor) as DRAM can be taken, in order to raise dependability, in the present condition, the thing of 2T / 2C structures is mainly adopted.

[0016] The ferroelectric thin film actually used for FeRAM is PZT (they are Pb (Zr_x Ti_{1-x} O₃) thin film and a SBT (SrBi₂ Ta₂ O₉) thin film.). For the former PZT, crystallization temperature's being about 600 degrees C and a polarization value are 20microC/cm² at a remanence value greatly. It is extent, Since the coercive electric field which is an electric-field value when becoming polarization 0 in a hysteresis curve is comparatively small, polarization reversal is possible by the low battery, It becomes controllable [crystallization temperature] by the Zr/Ti presentation ratio, and also strong dielectric characteristics, such as structure properties, such as grain size and a grain configuration, the amount of polarization, a coercive electric field, a fatigue property, and leakage current, are controllable, Pb called A site from the element admissibility which a perovskite structure has by elements, such as Sr, Ba, calcium, and La It is possible to permute Zr-Ti called B site by elements, such as Nb, W, Mg, Co, Fe, nickel, and Mn, and it is raised as an advantage that it influences greatly the crystal structure, a structure property, and strong dielectric characteristics etc.

[0017] PZT is the ingredient which examination of thin-film-izing was made from early, and there were also many examples of research and was first put in practical use as FeRAM by technique, such as a spatter and a sol gel process. As a fault, reduction (fatigue property) of the amount of polarization accompanying the increment in the count of writing is raised.

[0018] The oxygen hole where fatigue of the PZT film is formed in Pt electrode interface is considered as the main cause. One of the reasons for generating of this oxygen hole is the volatility of Pb element, and diffusion ease. Since Pb is a part of perovskite structure, if an oxygen hole is formed, it will form a nearby cation and a nearby dipole and will cause reduction of a switching charge.

[0019] on the other hand, Pt electrode used low-battery-izing of the latest operating voltage, and at the beginning since the fatigue property itself had the description accelerated by electric field to IrOx etc. -- the improvement of the fatigue property by adoption of an oxide electrode is also made.

[0020] On the other hand, the latter SBT is the ingredient developed in order to attain an improvement of the fatigue property which PZT has, and a membranous low-battery drive. SBT is Bi₂ O₂ about the false perovskite structure layer which consists of oxygen octahedron which is a kind of Bi stratified compound (Aurivillius Phase) and serves as the origin of a ferroelectricity. It has the crystal structure which a layer sandwiches.

[0021] A main polarization shaft is in a field perpendicular to a c-axis according to this crystal structure, and even if there is polarization of C shaft orientations in nothing, it serves as a small value. The polarization is discovered with the number of the oxygen octahedrons in a false perovskite structure.

[0022] Since the oxygen hole itself which compensates a charge is formed in Bi oxide layer even if Bi whose SBT is an volatile element is lost, there is little effect in a direct perovskite structure. Moreover, not to have Ti from which a valence tends to change is also confirmed. However, SBT has the fault that crystallization temperature is high compared with PZT.

[0023] In the cellular structure of FeRAM which, on the other hand, used a ferroelectric ingredient which was explained above, it is called the offset mold structure of connecting the up electrode of a capacitor, and the active region of a transistor, and the offset mold structure of this conventional type is taken in FeRAM put in practical use until now.

[0024] In the above-mentioned offset mold structure, since it finishes forming a capacitor, in order to take the process which forms a plug, heat treatment for ferroelectric film formation etc. did not become a burden to the plug. However, with this offset mold structure, contraction of cel area is difficult and has become a big inhibition factor for high integration.

[0025] Recently, development of the COP (Capacitor On Plug) structure which arranges a capacitor on a plug has come [on the other hand,] to be furthered in order to produce FeRAM with a more high consistency.

[0026] This has the plug which is connected from the active region of a transistor and consists of W or Si directly under a capacitor, and can make cell size small like the case of the SUTAKKUTO capacitor of DRAM.

[0027] Here, since it is necessary to recover the damage produced at the RIE (Reactive Ion Etching) processing process of the dielectric film at the time of preventing an oxygen deficiency in the crystallization process after deposition of a capacitor dielectric film, and carrying out integration of the capacitor, or a metal membrane, or the deposition process of the insulator layer by plasma CVD, heat treatment under an oxygen content ambient atmosphere is needed for all.

[0028] However, the plug directly under a capacitor oxidizes in the case of heat treatment under the above-mentioned oxygen content ambient atmosphere, contact resistance becomes high, and in being severe, problems, like exfoliation of a dielectric film or a metal membrane arises arise. That is, in FeRAM of the conventional COP structure, there was a problem that it was difficult to plan outstanding membrane formation of a capacitor dielectric film and thermal stability of a plug to coincidence. Ta₂O₅ which take the process that such a problem forms a capacitor after forming a plug, and Ti (Ba, Sr)_{0.3} etc. -- it existed in the stack mold DRAM which used high dielectric materials for the capacitor dielectric film.

[0029] Although the electrode which consists of ingredients, such as formation of the barrier layer which consists of ingredients, such as TiAlN, TiN, and TaSiN, IrO₂, Ir, RuO₂, and Ru, was tried in order to avoid such a problem, there was a problem that plug structure became complicated and a process also became complicated as the result. Furthermore, since it was not able to say that the resistance over heat treatment of above **** is high, the formation of a low-temperature short time was indispensable to coincidence. However, heat treatment of a low-temperature short time of recovery of a damage is inadequate, and a problem remains on a point [a component property or dependability].

[0030] Moreover, in the process using CMP (ChemicalMechanical Polishing), although the capacitor production process of having used the DAMASHIN process for the purpose of reduction of the RIE processing damage of a capacitor etc. is proposed, since it may heat-treat after an oxide film, a dielectric film, and the ferroelectric film have touched, the reaction in the part there poses a problem. For example, PZT and SiO₂ There is a problem which lead glass is formed [problem] with heat and degrades a contact part remarkably.

[0031]

[Problem(s) to be Solved by the Invention] Like ****, the cellular structure of FeRAM is changing from the offset mold structure from the request of high integration to COP mold structure. Contrary to it of offset mold structure, the process of COP mold structure forms a capacitor, after forming a plug (structure process after a plug). In this case, heat treatment under the oxygen content ambient atmosphere for recovering the various damages produced at the time of capacitor formation is needed.

[0032] However, there was a problem that a plug will oxidize and contact resistance will become high by heat treatment of this kind. such a problem -- Ta₂O₅ etc. -- it existed in the stack mold DRAM which used high dielectric materials for the capacitor dielectric film.

[0033] Although some approaches of solving such a problem were proposed, there was a new problem

that plug structure and its process became complicated, or the contact part of an oxide film, and the dielectric film and the ferroelectric film deteriorated.

[0034] It is for this invention to be made in consideration of FeRAM of the conventional structure process after a plug which was described above, and the trouble in the stack mold DRAM, and to consider as the purpose to offer the semiconductor device which can prevent effectively oxidation of the above-mentioned plug in the case of needing heat treatment under an oxidizing atmosphere, and its manufacture approach, after forming a plug / electrode structure.

[0035]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly explained among invention indicated in this application.

[0036] That is, in order to attain the above-mentioned purpose, the semiconductor device concerning this invention is characterized by having the electrode which connects electrically with said plug the conductive plug formed on the semi-conductor substrate, and the top face of said plug through the wrap silicon carbide film and said silicon carbide film.

[0037] Moreover, other semiconductor devices concerning this invention are characterized by having the electrode which connects electrically with said plug the conductive plug formed on the semi-conductor substrate, and the top face of said plug through the wrap silicon carbide film and said silicon carbide film, and the dielectric film which is formed on said electrode and uses a ferroelectric or a high dielectric as a principal component.

[0038] The desirable gestalt of the semiconductor device concerning these this inventions is as follows.

[0039] (1) Connect said plug to the active region of the transistor formed in the front face of said semiconductor substrate electrically.

[0040] (2) In the above (1), said electrode and said dielectric film constitute a capacitor, and said electrode is formed in the bottom of said dielectric film.

[0041] (3) In the above (2), said capacitor has the nonvolatile memory function which used the ferroelectric ingredient as a principal component of a capacitor dielectric film.

[0042] (4) In the above (2), said capacitor constitutes the memory cell of DRAM which used high dielectric materials as a principal component of a capacitor dielectric film.

[0043] (5) 100nm or less of thickness of said silicon carbide film is 20nm or less preferably.

[0044] (6) Use silicide, such as metallic materials, such as semiconductor materials, such as for example, polish recon, and a tungsten, or titanium nitride, as an ingredient of said plug. Moreover, noble-metals ingredients, such as platinum, a ruthenium, and iridium, are used as an ingredient of said electrode on said silicon carbide film. That is, the ingredient of said plug and said electrode can choose many things according to the application.

[0045] Moreover, the manufacture approach of the semiconductor device concerning this invention is characterized by to have the process which forms the electrode which connects electrically with said plug the process which forms a conductive plug on a semi-conductor substrate, and the top face of said plug the process which forms the wrap silicon-carbide film, and on said silicon-carbide film, the process which form the dielectric film which uses a ferroelectric or a high dielectric as a principal component on said electrode, and the process which heat-treat said dielectric film in an oxidizing atmosphere.

[0046] Here, said hydrocarbon film can be formed with a spatter or a CVD method. When it has comparatively flat capacitor structures, such as FeRAM, correspondence by the spatter is possible. In the case of DRAM which has a on the other hand overly detailed solid capacitor, generally, the CVD method is suitable. However, as the formation approach of the hydrocarbon film, it is not limited to a spatter and a CVD method and other approaches can be used suitably.

[0047] According to this invention, in the semiconductor device which has a plug / electrode structure, oxidation of the plug by heat treatment under an oxygen content ambient atmosphere can be effectively prevented now by using the silicon carbide film as a protective coat (reaction barrier film) of a plug.

[0048] Consequently, the tolerance of the heat treatment temperature which was a limiting factor conventionally, and an ambient atmosphere becomes possible [offering a reliable semiconductor device by breadth and this]. For example, it is as follows when the case of FeRAM which has the COP structure of being suitable for the fine structure is taken and explained to an example.

[0049] The typical ferroelectric film used for this kind of FeRAM is the PZT film and SBT film. For process damage recovery of crystallization of the ferroelectric film of these, or processing, high temperature processing is required. In order to control generating of the oxygen deficiency of the ferroelectric film accompanying heat treatment at this time, it needs to be heat-treated under an oxygen ambient atmosphere.

[0050] However, oxygen is spread to a capacitor lower electrode by the above-mentioned heat treatment, and there is a problem that the plug under it will oxidize. Therefore, reduction and short-time annealing of heat treatment temperature were indispensable. In the case of the SBT film which needs high temperature by crystallization especially, application of COP structure was increasing difficulty more. However, since oxidation of a plug can be effectively prevented with the silicon carbide film according to this invention, it becomes possible to become possible to form the quantity and ferroelectric film which was excellent in the property, to have and to offer a semiconductor device and its manufacture approaches, such as reliable detailed FeRAM.

[0051] The above of this invention, and the other purposes and the new description will become clear by a publication and accompanying drawing of this specification.

[0052]

[Embodiment of the Invention] Hereafter, the gestalt (henceforth an operation gestalt) of operation of this invention is explained, referring to a drawing.

[0053] (1st operation gestalt) Drawing 1 is the process sectional view showing the manufacture approach of the semiconductor device concerning the 1st operation gestalt of this invention. This operation gestalt is the example which applied this invention to the FeRAM cel of COP structure.

[0054] First, as shown in drawing 1 (a), the slot for isolation is formed in fields other than the transistor active region of the front face of the P type silicon substrate 100, and it is SiO₂ to this Mizouchi. It embeds and the component isolation region 101 is formed (Shallow Trench Isolation).

[0055] Next, as shown in this drawing (a), the MOS transistor for performing switching is formed. Specifically, it is as follows. First, n⁺ which formed silicon oxide 102 with a thickness of 6nm in the front face of the P type silicon substrate 100 by thermal oxidation, and doped arsenic continuously The mold polycrystalline silicon film 103 is formed in the whole surface, and it is n⁺ further. Sequential formation of the tungsten silicide film 104 and the silicon nitride 105 is carried out on the mold polycrystalline silicon film 103. After an appropriate time and n⁺ The mold polycrystalline silicon film 103, the tungsten silicide film 104, and the silicon nitride 105 are processed by the usual optical SOGURA fee method and the usual RIE method, and the gate electrode 103, 104 (polycide gate) is formed. Furthermore, the silicon nitride 106 is deposited on the whole surface, and the spacer section (gate side-attachment-wall insulator layer) is prepared in the side attachment wall of the gate electrode 103, 104 by the technique of the side-attachment-wall remnants by RIE. Then, one pair of source drain fields 107 are formed by well-known ion-implantation and heat treatment (annealing).

[0056] Next, it progresses to the process shown in drawing 1 (b). First, once it deposits silicon oxide 108 on the whole surface with a CVD method and performs flattening by the CMP method after that, the contact hole 109 which is open for free passage to one source drain field 107 of the above-mentioned MOS transistor is punctured.

[0057] Next, the thin titanium film is deposited with a sputter or a CVD method, and the TiN film 110 as barrier metal film is formed by heat-treating in foaming gas.

[0058] Next, after depositing the tungsten film used as the bit line plug 111 on the whole surface with a CVD method, the bit line plug 111 is embedded and formed in the interior of a contact hole 109 by removing the unnecessary tungsten film of the exterior of a contact hole 109 by the CMP method.

[0059] Next, the silicon nitride 112 and silicon oxide 113 are deposited on the whole surface one by one with a CVD method, and the contact hole 114 which is further open for free passage to the source drain field 107 of another side is punctured. Then, pad formation of the capacitor plug 116 which consists of TiN film 115 and a tungsten is carried out into a contact hole 114 like the TiN film 110 and the bit line plug 111. The capacitor plug 116 is electrically connected to one source drain field 107 (active region of a transistor) of an MOS transistor.

[0060] Next, it progresses to the process shown in drawing 1 (c). First, the thin silicon carbide film with a thickness of about 10nm it is thin to a protective coat 117 is formed in the whole surface by the sputter. Next, the PZT film which forms the 1st platinum film used as the capacitor lower electrode 118 in the whole surface by the sputter, and turns into the capacitor dielectric film 119 continuously is formed in the whole surface by the sputter, and the above-mentioned PZT film is once crystallized by the danger in the inside of an oxygen ambient atmosphere, and ***** (RTA). Then, the 2nd platinum film used as the capacitor up electrode 120 is formed in the whole surface by the sputter.

[0061] Next, the silicon oxide used as a mask pattern which is not illustrated is deposited on the whole surface with a CVD method, pattern NINGU of the above-mentioned silicon oxide is continuously carried out by the optical SOGURA fee method, and the mask pattern which consists of silicon oxide is formed. Then, the photoresist used at the time of pattern NINGU is exfoliated.

[0062] Next, after using the above-mentioned mask pattern as a mask and carrying out taper etching of the platinum film of the above 2nd, the above-mentioned PZT film, the platinum film of the above 1st, and the silicon carbide film continuously in this order, the capacitor which consists of a capacitor lower electrode 118 which consists of the capacitor up electrode 120 which consists of the 2nd platinum film, a capacitor dielectric film 119 which consists of PZT film, and the 1st platinum film by removing the above-mentioned mask pattern is completed.

[0063] Next, after depositing silicon oxide 121 on the whole surface and covering the above-mentioned capacitor, in order to remove the damage produced in the capacitor dielectric film (PZT film) 119 at the time of processing of the above-mentioned taper etching, elevated-temperature heat treatment of an about [600C] is performed under an oxygen ambient atmosphere.

[0064] Under the present circumstances, although oxygen permeates also in a capacitor and that part also arrives at the bottom of the capacitor lower electrode 118, since the diffusion barrier property to the oxygen of the silicon carbide film which is a protective coat 117 is high, the tungsten film which is the capacitor plug 116 of a substrate does not oxidize.

[0065] Moreover, the silicon carbide film does not bring about a failure at all in heat treatment accompanying the above-mentioned capacitor production process among oxygen, in order that the platinum film which is the capacitor lower electrode 118, and the tungsten film which is the capacitor plug 116 may not react. In addition, the carbon silicon film is further explained to the last of this operation gestalt at a detail.

[0066] Although not shown in drawing after an appropriate time, according to the well-known approach, FeRAM will be completed through the process of the upper metal wiring to a drive line, a bit line, and a pan.

[0067] As stated above, according to this operation gestalt, so that the top face of the capacitor plug 116 which connects an MOS transistor and a capacitor may be covered As one process of forming the protective coat 117 which consists of silicon carbide film is added FeRAM of detailed and high density (high integration) can be realized without being able to solve the problem by elevated-temperature heat treatment in the oxygen ambient atmosphere stated with the conventional technique, and causing complication of a plug / electrode structure, and its process as the result.

[0068] In addition, in this operation gestalt, in order to increase a degree of integration more, after forming a bit line, a capacitor is arranged, although the case where a bit line was arranged at the upper layer of a capacitor was shown in the cellular structure, it is [direction] desirable and this invention can be applied also in such a case based on the meaning.

[0069] Moreover, although the cellular structure which has the so-called ladder structure which arranges a transistor and a capacitor to juxtaposition as other cellular structures is also proposed, naturally things are possible in this invention also in such a case.

[0070] Furthermore, although platinum is used for PZT, the capacitor up electrode 120, and the capacitor lower electrode 118 which are a ferroelectric with this operation gestalt about the capacitor ingredient at the capacitor dielectric film 119, it is not limited to such an ingredient.

[0071] For example, it is also possible to use SBT for the capacitor dielectric film 119. As above-mentioned, since the crystallization temperature of SBT is higher than PZT, heat treatment in an elevated temperature is needed, but if it carries out with the description of this invention, higher effectiveness is expectable also to such a case.

[0072] Moreover, it is possible iridium, rutheniums or those oxide, and to use compound conductors, such as strontium ruthenium oxide, for the capacitor up electrode 120 and the capacitor lower electrode 118 further.

[0073] Hereafter, the carbon silicon film is further explained to a detail. The silicon carbide film is an ingredient also with very low oxygen permeability, and is used for refractories, a resistor, etc. while the melting point is very stable thermally above 2000 C. Moreover, since it is also a semiconductor material, the application to a semiconductor device has also spread in recent years.

[0074] Since the carbon silicon film has the description like the above, it it not only does not receive the silicon carbide [itself] change in oxygen heat treatment at the time of capacitor formation, but can prevent very efficiently oxidation of the metal plug of a substrate, or a polycrystalline silicon plug by arranging the silicon carbide film on metal plugs and polycrystalline silicon plugs, such as a tungsten plug.

[0075] On the other hand, since silicon carbide is a semi-conductor, the resistance changes greatly with structure (a crystalline form, existence of crystallization), the formation approach, doping existence, etc. beta 1 which is the typical crystal structure -- in SiC, the value of resistivity is made into about 1×10^{-1}

4ohmcm -- having -- getting down -- moreover, the case of an amorphous object -- further -- number order -- although becoming high is also pointed out and it is a high value compared with a common metal, if it uses as a thin film, it is possible to maintain an electric flow.

[0076] That is, by making thickness of the silicon carbide film sufficiently thin, if it is resistivity of this level, by specifically setting thickness to 100nm or less, it is preferably possible to use it as a protective coat which has conductivity by setting 50nm or less to 20nm or less more preferably, and the effect of a rise of resistance by using the silicon carbide film can be controlled to the minimum.

[0077] For example, when the beta-SiC film of 50nm of thickness is used for contact of 0.1micro angle, the resistance is only 5.35ohms. Although this will be joined by contact resistance, since the resistance which the capacitor/plug in the case of DRAM explained with FeRAM explained, for example by this example or the 3rd operation gestalt take is more than 10kohm, generally it does not pose a problem in that between a capacitor/plug is connected electrically.

[0078] On the other hand, although the reactivity of - silicon carbide (SiC) and a metallic material (M) is generally low, depending on a metallic material, two kinds of reactions may mainly arise below.

[0079] (1) It is generated as $\text{SiC} + \text{M} \rightarrow \text{MSi} + \text{C}$ (2) $\text{SiC} + \text{M} \rightarrow \text{MC} + \text{Si}$ or such combination. These progress so that the free energy accompanying a reaction may become the minimum, but since it is the physical properties of an ingredient proper, there is no common guide.

[0080] However, according to this invention person's etc. research, about the platinum currently raised with this example, a ruthenium, iridium, and a tungsten, it is checking not producing the above-mentioned reaction at the usual capacitor process temperature (700 degrees C or less).

[0081] Furthermore, the stable thing is checked also about titanium silicide. If titanium is independent, it is reported that the reaction of the above (1) arises. This shows that minimum-ization of the free energy accompanying a reaction cannot be attained any longer by silicide-izing. That is, alone, the metal shows beforehand that stabilization can be attained silicide or by using as carbide again, even when producing silicon carbide and a reaction.

[0082] After actually depositing the silicon carbide film with a thickness of 10nm on a tungsten plug at drawing 2 and drawing 3, the platinum film and the PZT film are deposited and the P-V characteristic curve which shows the spontaneous polarization in the capacitor which used platinum is shown in the SEM photograph and up electrode of a cross section at the time of heat-treating by oxygen (650-degree-C and 600 degrees C) ambient atmosphere Nakashita, respectively.

[0083] Oxidation / reaction prevention effectiveness sufficient also by 10nm in thickness and the thin silicon carbide film can be acquired, the platinum film and the tungsten plug of the substrate are maintained at stability so that it may see with a SEM photograph, and it checked that an electrical property actually good also as a capacitor was acquired so that clearly from drawing 2 and drawing 3.

[0084] (2nd operation gestalt) Drawing 4 is the process sectional view showing the manufacture approach of the semiconductor device concerning the 2nd operation gestalt of this invention. This operation gestalt is the example which applied this invention to the FeRAM cel of COP structure, and is an example in which only the top face of the capacitor plug of a FeRAM cel specifically forms the silicon carbide film of this invention.

[0085] First, as shown in drawing 4 (a), the slot for isolation is formed in fields other than the transistor active region of the front face of the P type silicon substrate 200, and it is SiO₂ to this Mizouchi. It embeds and the component isolation region 201 is formed (Shallow Trench Isolation).

[0086] Next, as shown in this drawing (a), the MOS transistor for performing switching is formed. Specifically, it is as follows. First, n⁺ which formed silicon oxide 202 with a thickness of 6nm in the front face of the P type silicon substrate 200 by thermal oxidation, and doped arsenic continuously The mold polycrystalline silicon film 203 is formed in the whole surface, and it is n⁺ further. Sequential formation of the tungsten silicide film 204 and the silicon nitride 205 is carried out on the mold polycrystalline silicon film 203. After an appropriate time and n⁺ The mold polycrystalline silicon film 203, the tungsten silicide film 204, and the silicon nitride 205 are processed by the usual optical SOGURA fee method and the usual RIE method, and the gate electrode 203,204 is formed.

Furthermore, the silicon nitride 206 is deposited and the spacer section (gate side-attachment-wall insulator layer) is prepared in the side attachment wall of the gate electrode 203,204 by the technique of the side-attachment-wall remnants by RIE. Then, one pair of source drain fields 207 are formed by well-known ion-implantation and heat treatment (annealing).

[0087] Next, it progresses to the process shown in drawing 4 (b). First, once it deposits silicon oxide 208 on the whole surface with a CVD method and performs flattening by the CMP method after that, the contact hole 209 which is open for free passage to one source drain field 206 of the above-mentioned

MOS transistor is punctured.

[0088] Next, after depositing the polycrystalline silicon film used as the capacitor plug 210 on the whole surface so that the inside of a contact hole 209 may be embedded, the capacitor plug 210 which is open for free passage to the capacitor formed at a back process is embedded and formed in a contact hole 209 by removing the unnecessary polycrystalline silicon film of the exterior of a contact hole 209 by the CMP method. The capacitor plug 210 is electrically connected to one source drain field 207 (active region of a transistor) of an MOS transistor.

[0089] Next, after forming in the whole surface the thin silicon carbide film with a thickness of 50nm it is thin to a protective coat 211 with a CVD method so that the clearance between the contact holes 209 which the upper part of the polycrystalline silicon film which is the capacitor plug 210 was etched, and the front face was retreated, and were continuously produced by etching may be embedded, pad formation of the protective coat 211 is carried out in the clearance between contact holes 109 by removing the unnecessary silicon carbide film of the exterior of a contact hole 209 by the CMP method.

[0090] Next, it progresses to the process shown in drawing 4 (c). First, the PZT film which forms the 1st platinum film used as the capacitor lower electrode 212 in the whole surface by the spatter, and turns into the capacitor dielectric film 213 continuously is formed in the whole surface by the spatter, and the above-mentioned PZT film is once crystallized by RTA in the inside of an oxygen ambient atmosphere. Then, the 2nd platinum film used as the capacitor up electrode 214 is formed in the whole surface by the spatter.

[0091] Next, the silicon oxide used as a mask pattern which is not illustrated is deposited on the whole surface with a CVD method, pattern NINGU of the above-mentioned silicon oxide is continuously carried out by the optical SOGURA fee method, and the mask pattern which consists of silicon oxide is formed. Then, the photoresist used at the time of pattern NINGU is exfoliated.

[0092] Next, after using the above-mentioned mask pattern as a mask and carrying out taper etching of the platinum film of the above 2nd, the above-mentioned PZT film, the platinum film of the above 1st, and the silicon carbide film continuously in this order, the above-mentioned mask pattern is removed and the capacitor which consists of a capacitor lower electrode 212 which consists of the capacitor up electrode 214 which consists of the 2nd platinum film, a capacitor dielectric film 213 which consists of PZT film, and the 1st platinum film is completed.

[0093] Next, after depositing silicon oxide 215 on the whole surface and covering the above-mentioned capacitor, in order to remove the damage produced in the capacitor dielectric film (PZT film) 213 at the time of processing of taper etching, heat treatment of an about [600C] is performed under an oxygen ambient atmosphere.

[0094] Under the present circumstances, although oxygen permeates also in a capacitor and that part also arrives at the bottom of the capacitor lower electrode 212, since the diffusion barrier property to the oxygen of the silicon carbide film which is a protective coat 211 is high, the reaction of the polycrystalline silicon film which is the capacitor plug 210 of a substrate, and the platinum film which is the capacitor lower electrode 212 does not arise.

[0095] On the other hand, the silicon carbide film which is a protective coat 211 does not bring about a failure at all in heat treatment accompanying the above-mentioned capacitor production process among oxygen, in order that the platinum film which is the capacitor lower electrode 211, and the polycrystalline silicon film which is the capacitor plug 210 may not react.

[0096] Then, although not shown in drawing, FeRAM will be completed through the process of the upper metal wiring to the contact hole which is open for free passage to the source drain 206 of another side of an MOS transistor according to the well-known approach, a bit line, a drive line, and a pan.

[0097] In addition, in this operation gestalt, the cellular structure and a capacitor ingredient are variously deformable like the 1st operation gestalt.

[0098] (3rd operation gestalt) Although the 1st and 2nd operation gestalten explained the case where it was suitable for FeRAM in this invention, invention is applicable to the stack mold DRAM which used not only FeRAM but the high dielectric film capacitor. Hereafter, the operation gestalt which applied this invention to the stack mold DRAM using drawing 5 is explained.

[0099] First, as shown in drawing 5 (a), the slot for isolation is formed in fields other than the transistor active region of the front face of the P type silicon substrate 300, and it is SiO₂ to this Mizouchi. It embeds and the component isolation region 301 is formed (Shallow Trench Isolation).

[0100] Next, as shown in this drawing (a), the MOS transistor for performing switching is formed. Specifically, it is as follows. First, n⁺ which formed silicon oxide 302 with a thickness of 6nm in the front face of the P type silicon substrate 300 by thermal oxidation, and doped arsenic continuously The

· mold polycrystalline silicon film 303 is formed in the whole surface, and it is n⁺ further. Sequential formation of the tungsten silicide film 304 and the silicon nitride 305 is carried out on the mold polycrystalline silicon film 103. After an appropriate time and n⁺ The mold polycrystalline silicon film 303, the tungsten silicide film 304, and the silicon nitride 305 are processed by the usual optical SOGURA fee method and the usual RIE method, and the gate electrode 303,304 is formed. Furthermore, the silicon nitride 306 is deposited and the spacer section (gate side-attachment-wall insulator layer) is prepared in the side attachment wall of the gate electrode 303,304 by the technique of the side-attachment-wall remnants by RIE. Then, one pair of source drain fields 307 are formed by well-known ion-implantation and heat treatment (annealing).

[0101] Next, it progresses to the process shown in drawing 5 (b). First, once it deposits silicon oxide 308 on the whole surface with a CVD method and performs flattening by the CMP method after that, the contact hole 309 which is open for free passage to one source drain field 307 of the above-mentioned MOS transistor is punctured.

[0102] Next, the tungsten film which forms the TiN film 310 as barrier metal film, and serves as the bit line plug 311 continuously like the 1st operation gestalt is deposited on the whole surface with a CVD method, and pad formation of the bit line plug 311 is carried out inside one contact hole 309 by removing the tungsten film with the still more unnecessary exterior of a contact hole 309 by the CMP method. Then, silicon oxide 3121 It is silicon oxide 3121 about the bit line 313 which deposits on the whole surface with a CVD method, and consists of a tungsten according to a DAMASHIN process. It embeds and forms inside.

[0103] Next, silicon oxide 3122 It deposits on the whole surface and is silicon oxide 3121 and 3122. After puncturing the contact hole 314 which is open for free passage to the source drain field 309 of another side, the capacitor plug 316 which consists of TiN film 315 and a tungsten as well as the TiN film 310 and the bit line plug 311 is embedded and formed in a contact hole 314. The capacitor plug 316 is electrically connected to one source drain field 307 (active region of a transistor) of an MOS transistor.

[0104] Next, it progresses to the process shown in drawing 5 (c). First, thick silicon oxide 317 is deposited on the whole surface with a CVD method, a slot is punctured to silicon oxide 317 by the optical lithography method and the RIE method, and the sequential deposition of the thin silicon carbide film with a thickness of about 10nm it is thin to a protective coat 318, and the ruthenium film used as the capacitor lower electrode 319 is carried out with a CVD method on the whole surface so that the inside of this slot may be covered after that. It is made not to embed the interior of the above-mentioned slot at this time.

[0105] Next, the silicon oxide of the thickness which embeds the interior of the above-mentioned slot is deposited on the whole surface with a CVD method, sequential polish of the above-mentioned silicon oxide, the above-mentioned ruthenium film, and the above-mentioned silicon carbide film is continuously carried out by the CMP method, the above-mentioned three film of the exterior of the above-mentioned slot is removed, the above-mentioned silicon oxide inside the posterior canal is removed alternatively, and a protective coat 318 and the capacitor lower electrode 319 are formed on the inside of the above-mentioned slot.

[0106] Next, after depositing the BST film used as the capacitor dielectric film 320 on the whole surface with a CVD method, the ruthenium film used as the capacitor up electrode 321 is deposited on the whole surface with a CVD method so that the interior of the slot formed in silicon oxide 317 may be embedded.

[0107] Next, pattern NINGU of the above-mentioned BST film and the above-mentioned ruthenium film is carried out using a photolithography and RIE, and the capacitor up electrode 321 which consists of the capacitor dielectric film 320 and ruthenium which consist of BST film is formed. Then, in order to remove the damage of the capacitor dielectric film (BST film) 320 produced at the time of Above RIE, heat treatment of an about [600C] is performed under an oxygen ambient atmosphere.

[0108] Under the present circumstances, although a part of oxygen also arrives at the bottom of the capacitor lower electrode 319, since the diffusion barrier property to the oxygen of the silicon carbide film which is a protective coat 318 is high, the tungsten film which is the capacitor plug 316 of a substrate does not oxidize. Moreover, the silicon carbide film does not bring about a failure at all in heat treatment accompanying the above-mentioned capacitor production process among oxygen, in order that the ruthenium film which is the capacitor lower electrode 319, and the tungsten film which is the capacitor plug 316 may not react.

[0109] Then, according to the well-known approach, the stack mold DRAM will be completed through

the upper metal wiring process.

[0110] In addition, although the ruthenium is used for BST, the capacitor up electrode 321, and the capacitor lower electrode 319 with this operation gestalt about the capacitor ingredient at the capacitor dielectric film 320, it is not limited to such an ingredient.

[0111] For example, to the capacitor dielectric film 320, it is possible to also use compound conductors, such as platinum, iridium, and a strontium ruthenium oxide, for the tantalic acid-ized film, the capacitor up electrode 321, and the capacitor lower electrode 319.

[0112] Moreover, although the silicon substrate was used with this operation gestalt, for improvement in the engine performance, such as improvement in the speed of DRAM, it is good to use a SOI substrate.

[0113] In addition, this invention is not limited to the above-mentioned operation gestalt. For example, although the above-mentioned operation gestalt explained the case where it was suitable for FeRAM and DRAM in this invention, this invention is not limited to these semiconductor devices, and can be applied to the semiconductor device which has conductive plug / electrode structure.

[0114] In the semiconductor device which has a ferroelectric or a dielectric thin film on conductive plug / electrode structure especially, it is effective. Also in this case, the manufacture approach of of the semiconductor device and a semiconductor device equipped with the structure which has arranged the ferroelectric or dielectric thin film which was excellent in the property on a plug / electrode structure can be realized now like the above-mentioned operation gestalt.

[0115] Moreover, what is necessary is to be **** which is pure oxygen (O₂), and just to be under an oxidizing atmosphere that there is nothing, although the above-mentioned operation gestalt explained the case where elevated-temperature heat treatment was performed under an oxygen ambient atmosphere.

[0116] Furthermore, invention of various phases is included in each above-mentioned operation gestalt, and various invention may be extracted by the proper combination in two or more requirements for a configuration indicated. For example, even if some requirements for a configuration are deleted from all the requirements for a configuration shown in an operation gestalt, when the technical problem stated in the column of Object of the Invention is solvable, the configuration from which this requirement for a configuration was deleted may be extracted as invention. In addition, in the range which does not deviate from the summary of this invention, it deforms variously and can carry out.

[0117]

[Effect of the Invention] As explained in full detail above, according to this invention, oxidation of the plug by heat treatment under an oxidizing atmosphere can be effectively prevented now by using the silicon carbide film as a protective coat for protecting the plug of a plug / electrode structure from oxidation.

[Translation done.]

PAT-NO: JP02002289810A
DOCUMENT-IDENTIFIER: JP 2002289810 A
TITLE: SEMICONDUCTOR DEVICE AND ITS MANUFACTURING
METHOD
PUBN-DATE: October 4, 2002

INVENTOR-INFORMATION:

NAME	COUNTRY
IMAI, KEITAROU	N/A
YAMAKAWA, KOJI	N/A
ARISUMI, OSAMU	N/A
NATORI, KATSUAKI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
TOSHIBA CORP	N/A

APPL-NO: JP2001092533

APPL-DATE: March 28, 2001

INT-CL (IPC): H01L027/105, H01L021/768 , H01L027/108 , H01L021/8242

ABSTRACT:

PROBLEM TO BE SOLVED: To prevent oxidation of a capacitor plug under a ferroelectric sub stance film, in a thermal treatment process under an oxidizing atmosphere which process is performed for crystallization and damage restoration of the ferroelectric film, constituting an FeRAM cell of a COP structure.

SOLUTION: After an upper surface of the capacitor plug 116 is covered with a silicon carbide film as a protective film 117, a capacitor lower electrode 118 and a capacitor dielectric film 119 are formed.

COPYRIGHT: (C) 2002, JPO